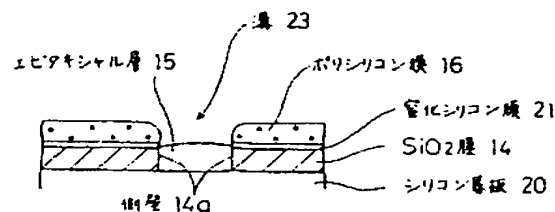


Patent Abstracts of Japan

PUBLICATION NUMBER : 63006874
 PUBLICATION DATE : 12-01-88
 APPLICATION DATE : 27-06-86
 APPLICATION NUMBER : 61149425

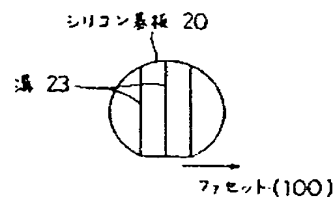


APPLICANT : FUJITSU LTD;

INVENTOR : MIENO FUMITAKE;

INT.CL. : H01L 29/72 H01L 21/205 H01L 29/04

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



BEST AVAILABLE COPY

ABSTRACT : PURPOSE: To decrease transition regions, by performing a patterning process of a groove so that side walls of the groove in an oxidizing film extend to the same plane bearings as a substrate.

CONSTITUTION: In a SiO_2 film 14 formed on a (100) silicon substrate, a groove 23 is formed to expose the surface of the substrate by epitaxial growth. In this case, the plane bearing of the facet is made to be (10), and the groove 23 is formed in the direction vertical to the facet. Because the side walls 14a of the film 14 are of (100) bearings, singlecrystal silicon and polysilicon are made to grow respectively inside the groove 23 and on a silicon nitride film 21 by normal-pressure epitaxial growth using $\text{SiH}_4 + \text{H}_2$. Therefore, generation of transition regions can be remarkably suppressed, together with miniaturization and high-speed performance in a bipolar transistor becoming available.

COPYRIGHT: (C) JPO

This Page Blank (uspto)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-6874

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)1月12日

H 01 L 29/72
21/205
29/04

8526-5F
7739-5F
8526-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭61-149425

⑰ 出 願 昭61(1986)6月27日

⑱ 発 明 者 三 重 野 文 健 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 復 代 理 人 弁 理 士 大 菅 義 之

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板(20)上に形成された酸化膜(14)に基板表面を露出する溝(23)をバターンニングし、溝内にはエピタキシャル成長を、酸化膜(14)上にはポリシリコンを同時に成長する方法において、酸化膜(14)の溝に面する側壁(14a)が基板と同じ面方位に延びる如く溝(23)をバターンニングすることを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(概要)

エピタキシャル・ポリシリコン同時成長において、成長基板の面方位を規定することにより遷移領域を減少させる方法である。

(産業上の利用分野)

本発明は半導体装置の製造方法に関するもので、さらに詳しく言えば、縦型のバイポーラトランジ

スタの製造に際しエピタキシャル・ポリシリコンの同時成長において遷移領域を減少させる方法に関するものである。

(従来の技術)

従来のバイポーラトランジスタにおいては、エミッタに対してベースが広すぎるために寄生容量が発生しトランジスタの動作速度を低下させる問題があり、その問題を解決するためにエミッタとベースが第3図に示される如く縦方向に配列された高速バイポーラトランジスタが開発され、図中、11はシリコン基板、12はn⁺型埋込層、13はn⁺エピタキシャル層、14はSiO₂膜、15は単結晶シリコンのエピタキシャル層、16はポリシリコン膜、17はエミッタ、18はSiO₂膜である。SiO₂膜14に窓開けをなしてエピタキシャル層13の表面を露出し、SiH₄ + H₂の反応ガスを用い常圧でエピタキシャル成長を行うと、エピタキシャル層13の上には単結晶シリコンが成長してエピタキシャル層15が作られ、他方SiO₂膜14の上にはポリシリ

コン膜16が成長する(エピタキシャル・ポリシリコン同時成長)。この単結晶シリコン層15をベースとし、そこに n^+ 型のエミッタ17を作ると、ベースの広さは従来例のベースよりかなり小になる利点がある。なお、ベース電極は p 型にドーブしたポリシリコン膜16によって引き出し、図において19はコレクタコンタクト層である。なお、B、E、Cはベース電極、エミッタ電極、コレクタ電極である。

ここで SiO_2 膜14の上のポリシリコン成長について本発明者が実験したところによると、第4図に示されるように SiO_2 膜上にはシリコンが付き難く、ポリシリコンは図に示すように不規則な凹凸をもって成長する。なお図において、20は(100)シリコン基板である。しかし、 SiO_2 膜上に窒化シリコン膜(Si_3N_4 膜)21を成長すると、窒化シリコン膜上には第5図に示す如くポリシリコンが付き易くなることが確かめられた。そこで、エピタキシャル・ポリシリコンの同時成長においては、ポリシリコンを成長させる SiO_2 膜上に窒

化シリコン膜を前以って形成しておく。

(発明が解決しようとする問題点)

前記したエピタキシャル・ポリシリコン同時成長を第6図を参照して説明すると、(100)シリコン基板20上に作られるエピタキシャル層15とポリシリコン膜16との間に結晶欠陥のある部分すなわち遷移領域22が作られることが確かめられた。この部分は結晶欠陥があるために使うことができない部分となり、その幅だけエミッタ17が狭くなりデバイスの微細化の妨げとなる問題がある。

本発明はこのような点に鑑みて創作されたもので、エピタキシャル・ポリシリコン同時成長において遷移領域を減少させる方法を提供することを目的とする。

(問題点を解決するための手段)

第1図は本発明実施例断面図で、その(a)はエピタキシャル・ポリシリコン同時成長の中間過程を、その(b)は同時成長終了後の構造を示す。

本発明においては、(100)シリコン基板20に形成された SiO_2 膜に基板面を露出する溝23を形成するためのパターンニングにおいて、その側壁14aの面方位が基板の面方位と同じく(100)になるように設定する。

(作用)

本発明者は実験によって前記した遷移領域の発生はエピタキシャル層のファセットにも原因があり、エピタキシャル成長の途中の状態を示す第7図の従来例断面図を参照すると、(100)基板を用いたとき SiO_2 膜14の側壁14aが(110)に平行であるとき、(111)面または(221)面のファセットが出ることをつきとめた。

上記した本発明の方法によると、(100)基板に対して SiO_2 膜の側壁14aが(100)方向にあるようパターンニングしてあるので、遷移領域が著しく減少するのである。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

本発明の方法によると、(100)シリコン基板上に形成された SiO_2 膜14にエピタキシャル成長のための基板表面を露出する溝23を形成するにおいて、第2図(a)に示される如くファセットの面方位を(100)にとり、ファセットに垂直方向に溝23を形成する。

または、第2図(b)に示されるように、一般のウェハがそうであるように(100)のシリコン基板20のファセットが(110)方位にあるときは、ファセットに対して 45° 傾けて溝23を形成する。そのためには、溝23を作るためのマスクを第2図(a)の場合に相対的に 45° 傾けるとよい。

このようにして溝23を形成すると、第1図(a)に示される SiO_2 膜14の側壁14aは(100)方位にあるから、そこに示されるように $SiH_4 + H_2$ を用いる常圧エピタキシャル成長で溝23内には単結晶シリコンが成長し、窒化シリコン膜上にはポリシリコンが成長する。第1図(b)はエピタキシャル

成長途中の状態を示すもので、同成長が終了しエピタキシャル層が5000Åの厚さに形成されたとき第1図(a)に示される構造が得られ、遷移領域はほとんど認められなかった。なお第1図(a)においては、ポリシリコン膜16の表面を酸化して SiO_2 膜18が形成された状態が示される。ポリシリコン膜16はベース電極引出し部とするのでp型にドーピングする。このようにエピタキシャル・ポリシリコンの同時成長をなした後に第3図に示されるバイポーラトランジスタを形成する。

(発明の効果)

以上述べてきたように本発明によれば、エピタキシャル・ポリシリコン同時成長において、従来問題となった遷移領域の発生が著しく抑えられ、バイポーラトランジスタの微細化と高速化に有効である。

4. 図面の簡単な説明

第1図(a)と(b)は本発明実施例断面図、

第2図(a)と(b)は本発明実施例平面図、

第3図は高速バイポーラトランジスタの断面図、

第4図は従来例の問題点を示す断面図、

第5図は従来例の改良例の断面図、

第6図は従来例断面図、

第7図は従来例断面図である。

第1図ないし第7図において、

11はシリコン基板、

12は埋込層、

13はエピタキシャル層、

14は SiO_2 膜、

15はエピタキシャル層、

16はポリシリコン膜、

17はエミッタ、

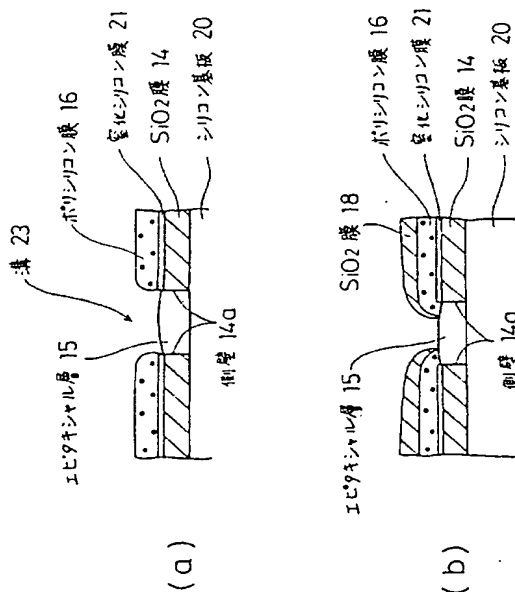
18は SiO_2 膜、

19はコレクタコンタクト層、

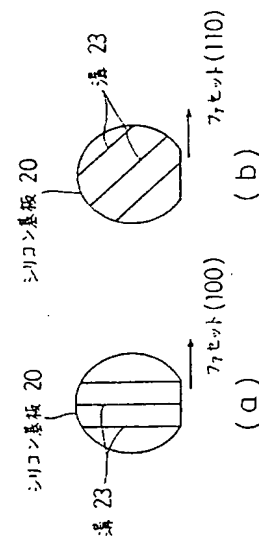
20は(100)シリコン基板、

21は窒化シリコン膜、

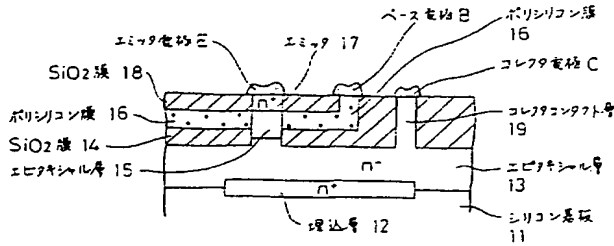
23は溝である。



本発明実施例断面図
第1図

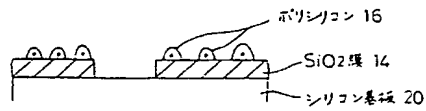


本発明実施例平面図
第2図



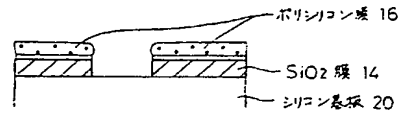
高速バイポーラトランジスタ断面図

第3図



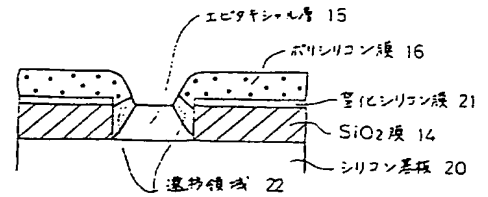
従来例の問題点を示す図

第4図



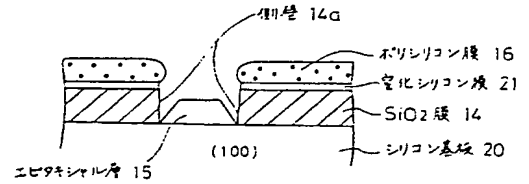
従来例の改良例断面図

第5図



従来例断面図

第6図



従来例断面図

第7図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)